(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2002－203958
（P2002－203958A）
(43)公開日　平成14年７月19日(2002.7.19)

(51)Int.Cl.'	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｈ０１Ｌ　29/78		Ｈ０１Ｌ　29/78	３０１Ｇ　５Ｆ０４０

審査請求　未請求　請求項の数６　ＯＬ　（全７頁）

(21)出願番号　特願2000－400568(P2000－400568)

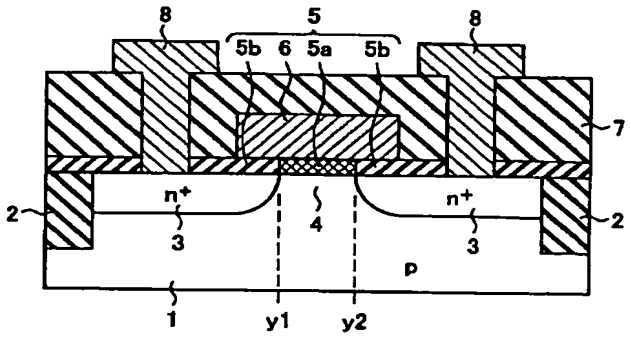
(22)出願日　平成12年12月28日(2000.12.28)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(72)発明者　佐竹　秀喜
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　山口　豪
神奈川県横浜市磯子区新杉田８番地　株式会社東芝横浜事業所内
(74)代理人　100092820
弁理士　伊丹　勝

Ｆターム(参考)　5F040 DA19 DC01 DC10 EC07 ED03
ED06 ED07 ED09 EF02 EK05
FA01 FB05 FC00 FC10

(54)【発明の名称】　半導体装置及びその製造方法

(57)【要約】
【課題】　金属原子を含んだ絶縁破壊耐性の高いゲート絶縁膜構造を持つ半導体装置とその製造方法を提供する。
【解決手段】　ｐ型シリコン基板１に、チャネル領域４を挟んで対向するドレイン、ソース拡散層３が形成され、ゲート絶縁膜５を介してゲート電極６が形成される。ゲート絶縁膜５は、チャネル領域４の直上の部分が誘電率の高い金属酸化物からなる第１のゲート絶縁膜５ａにより形成され、それ以外の部分は金属原子濃度が低い第２のゲート絶縁膜５ｂにより形成される。



1

【特許請求の範囲】
【請求項１】　半導体基板と、
この半導体基板にチャネル領域を挟んで対向するように形成されたソース及びドレイン拡散層と、
前記半導体基板上に、チャネル長方向に所定の濃度変化を示す金属原子を含んで形成されたゲート絶縁膜と、
このゲート絶縁膜上に形成されたゲート電極とを有することを特徴とする半導体装置。
【請求項２】　前記ゲート絶縁膜の金属原子濃度は、前記チャネル領域直上に比べて、前記ソース及びドレイン拡散層に重なる部分で低くなるように設定されていることを特徴とする請求項１記載の半導体装置。
【請求項３】　前記ゲート絶縁膜の金属原子濃度は、前記チャネル領域上の部分と前記ソース及びドレイン拡散層に重なる部分との間で滑らかに変化していることを特徴とする請求項２記載の半導体装置。
【請求項４】　半導体基板上に金属原子を含む第１のゲート絶縁膜を形成する工程と、
前記第１のゲート絶縁膜を前記半導体基板のチャネル領域直上に残してエッチング除去する工程と、
前記半導体基板の前記第１のゲート絶縁膜が除去された領域に第２のゲート絶縁膜を形成する工程と、
前記第１のゲート絶縁膜上に前記第２のゲート絶縁膜上に一部重なるようにゲート電極を形成する工程と、
前記半導体基板に前記チャネル領域を挟んで対向するようにソース及びドレイン拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。
【請求項５】　前記第２のゲート絶縁膜は、前記第１のゲート絶縁膜より低濃度の金属原子を含んで形成されるものであり、
前記第１のゲート絶縁膜の金属原子を前記第２のゲート絶縁膜に拡散させる熱処理工程を有することを特徴とする請求項４記載の半導体装置の製造方法。
【請求項６】　前記第２のゲート絶縁膜は、金属原子を含まないで形成されるものであり、
前記第１のゲート絶縁膜の金属原子を前記第２のゲート絶縁膜に拡散させる熱処理工程を有することを特徴とする請求項４記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】この発明は、微細化に適した高誘電率のゲート絶縁膜を持つ半導体装置とその製造方法に関する。
【０００２】
【従来の技術】これまでＬＳＩは、スケーリング則に則って素子の微細化と高集積化が進められてきた。スケーリング則は、ゲート絶縁膜厚やゲート長等、ＭＯＳトランジスタの高さ方向と横方向の寸法を比例的に縮小することで、トランジスタ特性を正常に保持しながら、微細化する手法である。このスケーリング則を次世代のＬＳＩに適用しようとすると、ゲート絶縁膜の膜厚は２ｎｍ以下と小さくなる。

2

【０００３】ゲート絶縁膜には従来より、シリコン酸化膜（ＳｉＯ２膜）が一般に用いられている。しかし、シリコン酸化膜は２ｎｍ以下になるとトンネル電流が無視できない大きさになる。そこで、シリコン酸化膜に代わって、より誘電率の高いゲート絶縁膜を用いる試みがなされている。誘電率の高い絶縁膜を用いれば、比較的厚い膜厚としてリーク電流を抑制しながら、シリコン酸化膜換算膜厚２ｎｍ以下を実現することができるからである。具体的に、シリコン酸化膜に代わるゲート絶縁膜材料として、ＺｒＯ２，ＨｆＯ２等の金属酸化物が注目されている。
【０００４】
【発明が解決しようとする課題】しかし、ＺｒＯ２，ＨｆＯ２等の金属酸化物膜は、原子半径の大きい金属原子と原子半径の小さい酸素の結合により構成されるため、欠陥が発生しやすく、安定性に欠けるという問題がある。特に、ゲート電極とドレイン、ソース拡散層とのオーバーラップ部のような大きな電界がかかる箇所では、原子欠損や未結合手に起因する絶縁破壊が生じやすく、十分な信頼性が得られないという問題があった。
【０００５】この発明は、上記事情を考慮してなされたもので、金属原子を含んだ絶縁破壊耐性の高いゲート絶縁膜構造を持つ半導体装置とその製造方法を提供することを目的としている。
【０００６】
【課題を解決するための手段】この発明に係る半導体装置は、半導体基板と、この半導体基板にチャネル領域を挟んで対向するように形成されたソース及びドレイン拡散層と、前記半導体基板上に、チャネル長方向に所定の濃度変化を示す金属原子を含んで形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極とを有することを特徴とする。ここで、ゲート絶縁膜の金属原子濃度は、好ましくは、チャネル領域直上に比べて、ソース及びドレイン拡散層に重なる部分で低くなるように設定される。更に好ましくは、ゲート絶縁膜の金属原子濃度は、チャネル領域上の部分とソース及びドレイン拡散層に重なる部分との間で滑らかに変化するようにする。
【０００７】この発明に係る半導体装置の製造方法は、半導体基板上に金属原子を含む第１のゲート絶縁膜を形成する工程と、前記第１のゲート絶縁膜を前記半導体基板のチャネル領域直上に残してエッチング除去する工程と、前記半導体基板の前記第１のゲート絶縁膜が除去された領域に第２のゲート絶縁膜を形成する工程と、前記第１のゲート絶縁膜上に前記第２のゲート絶縁膜上に一部重なるようにゲート電極を形成する工程と、前記半導体基板に前記チャネル領域を挟んで対向するようにソース及びドレイン拡散層を形成する工程とを有することを

特徴とする。

【０００８】この場合、第２のゲート絶縁膜は、第１のゲート絶縁膜より低濃度の金属原子を含んで形成される、第１のゲート絶縁膜と同種の絶縁膜とすることができる。或いはまた、第２のゲート絶縁膜は、金属原子を含まない、第１のゲート絶縁膜とは異種の絶縁膜とすることもできる。但し、いずれの場合も、第１のゲート絶縁膜と第２のゲート絶縁膜の接合界面を良好なものとするために、第１のゲート絶縁膜の金属原子を第２のゲート絶縁膜に拡散させる熱処理工程を備えることが好ましい。

【０００９】この発明によると、金属原子を含んで形成されるゲート絶縁膜の金属原子濃度をチャネル長方向に変化させることにより、所望の電気的特性と絶縁破壊耐性を両立させることが可能になる。即ち、トランジスタ特性を決定するチャネル領域直上のゲート絶縁膜は、誘電率を稼ぐに必要な金属原子濃度に設定し、それ以外の部分は金属原子をより低濃度に含むように、或いは金属原子を含まないようにする。これにより、チャネル領域上では容易にシリコン酸化膜換算膜厚２ｎｍ以下のゲート絶縁膜を得ることができる。またゲート電極とドレイン、ソース拡散層とがオーバーラップして高電界がかかる領域では、ゲート絶縁膜の金属原子濃度を低くすることにより、絶縁破壊耐性を高いものとすることができる。

【００１０】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。図１は、一実施の形態による集積回路のＭＩＳトランジスタ構造を示す。ｐ型シリコン基板１には、素子分離絶縁膜２が埋め込み形成されて、素子形成領域が区画されている。このシリコン基板１に、チャネル領域４を挟んで対向するように、ソース、ドレイン拡散層３が形成されている。シリコン基板１にはゲート絶縁膜５を介してゲート電極６が形成されている。

【００１１】ゲート絶縁膜５は、チャネル領域４の直上に位置する第１のゲート絶縁膜５ａと、それ以外の領域を覆う第２のゲート絶縁膜５ｂとから構成されている。第１のゲート絶縁膜５ａと第２のゲート絶縁膜５ｂは共に、金属原子と酸素原子を含有する膜（以下、単に金属酸化物膜という）であり、膜厚は約１０ｎｍである。但し、第１のゲート絶縁膜５ａの金属原子濃度は、第２のゲート絶縁膜５ｂのそれより高く設定されている。また、適当な工程での熱処理によって、第１のゲート絶縁膜４ａと第２のゲート絶縁膜５ｂの間で、Ｚｒ濃度分布が滑らかに変化するようにしている。金属酸化物膜は代表的には、ＺｒＯｘ膜である。

【００１２】図２は、ゲート絶縁膜５がＺｒＯｘ膜である場合について、チャネル長方向のＺｒ濃度分布を示している。望ましくは、チャネル領域４の直上（即ちｙ１－ｙ２の範囲）の第１のゲート絶縁膜５ａでは、ＺｒＯｘ中のＺｒ原子濃度が１atm％以上、４０atm％以下に設定され、それ以外の領域を覆う第２のゲート絶縁膜５ｂでは、Ｚｒ原子濃度が第１のゲート絶縁膜５ａより低く、１atm％以下に抑えられる。この様なＺｒ濃度分布を与えることにより、第１のゲート絶縁膜５ａは２５程度の大きな比誘電率を持つものとなる。また第２のゲート絶縁膜５ｂは、Ｚｒ濃度を低く抑えた結果として、原子欠損やダングリングボンド等に起因する絶縁破壊に対する耐性が高いものとなる。

【００１３】素子が形成された基板は、層間絶縁膜７で覆われる。この層間絶縁膜７にコンタクト孔が開けられて、電極配線８が形成される。

【００１４】この様なＭＩＳトランジスタの製造工程を、図３～図７を参照して説明する。ｐ型シリコン基板１は、面方位（１００）、比抵抗４～６Ωｃｍのものを用いる。図３に示すように、シリコン基板１の素子分離領域に、ＲＩＥにより溝を形成し、この溝に素子分離絶縁膜２を埋め込む。素子分離絶縁膜２は、有機シラン（ＴＥＯＳ）を用いた減圧ＣＶＤによるシリコン酸化膜である。

【００１５】次いで、図４に示すように、基板全面に、レーザアブレーション成膜法によって、金属酸化物膜からなる第１のゲート絶縁膜５ａを約１０ｎｍ堆積する。具体的に金属酸化物膜は、ＺｒＯｘ膜である。このとき成膜条件は、酸素分圧１～１００ｍＴｏｒｒの雰囲気中で、基板温度５００～８００℃とする。これにより、Ｚｒ濃度１～４０atm％のＺｒＯｘ膜が得られる。

【００１６】次に、図５に示すように、ＣＶＤ法によりシリコン窒化膜１１を堆積して、シリコン窒化膜１１と第１のゲート絶縁膜５ａの積層膜をチャネル領域中央部に残るようにパターニングする。そして砒素のイオン注入を行って、n^+型のドレイン、ソース拡散層３を形成する。イオン注入条件は例えば、加速電圧１０ｋｅＶ、ドーズ量1×10^{15}／cm^2とする。

【００１７】次いで、再度レーザアブレーション成膜法によって、図６に示すように、金属酸化物からなる第２のゲート絶縁膜６ｂを約１０ｎｍ堆積する。この場合も金属酸化物膜は、ＺｒＯｘ膜である。このとき成膜条件は、酸素分圧１～１００ｍＴｏｒｒの雰囲気中で、基板温度を３５０～５００℃と低くする。これにより、Ｚｒ濃度１atm％以下とＺｒ濃度の低いＺｒＯｘ膜が得られる。

【００１８】第２のゲート絶縁膜５ｂを成膜した後、同じ酸素分圧の雰囲気中で基板温度を７００℃程度に上げて熱処理を行う。これにより、第１のゲート絶縁膜５ａと第２のゲート絶縁膜５ｂの界面が欠陥等のない良好な接合になると同時に、第１のゲート絶縁膜５ａ中の金属原子が第２のゲート絶縁膜５ｂに拡散し、チャネル長方向の金属原子濃度分布の変化が滑らかなものとなる。

5

【００１９】この後、図７に示すように、多結晶シリコン膜を堆積し、パターニングしてゲート電極６を形成する。ゲート電極６は、第１のゲート絶縁膜５ａ上を覆い且つ両端部が第２のゲート絶縁膜５ｂを覆う状態にパターニングする。即ちゲート電極６は、そのチャネル長方向の両端部が第２のゲート絶縁膜５ｂを挟んでドレイン、ソース拡散層３とオーバーラップする状態にする。この後、図１に示すように、層間絶縁膜７を堆積し、これにコンタクト孔を形成して、電極配線８を形成する。

【００２０】以上のようにこの実施の形態では、金属酸化物からなるゲート絶縁膜の金属原子濃度をチャネル領域直上で高く、その両側のドレイン、ソース拡散層３とゲート電極６とがオーバーラップする部分では低くしている。このときＭＩＳトランジスタの基本的な電気的特性は、チャネル領域上の第１のゲート絶縁膜５ａで決まる。そして、高電界がかかるゲート電極６とドレイン、ソース拡散層３とがオーバーラップする部分のゲート絶縁膜５ｂは、原子半径の大きい金属原子の濃度を低くしているため、絶縁破壊耐性が高いものとなる。

【００２１】図８は、別の実施の形態による集積回路のＭＩＳトランジスタ部の構造を示している。図１の実施の形態と対応する部分には図１と同じ符号を付してある。この実施の形態でもゲート絶縁膜５は、チャネル領域４の直上にある第１のゲート絶縁膜５ａとそれ以外の領域にある第２のゲート絶縁膜５ｂとからなる。第１のゲート絶縁膜５ａは、先の実施の形態と同様に、ＺｒＯｘ等の金属酸化物からなるのに対し、第２のゲート絶縁膜５ｂは基本的に金属原子を含まない絶縁膜、好ましくはシリコン酸化膜である。

【００２２】但し、第２のゲート絶縁膜５ｂの第１のゲート絶縁膜５ａに接する部分には、第１のゲート絶縁膜５ａの金属原子を拡散させる。これにより、第１のゲート絶縁膜５ａと第２のゲート絶縁膜５ｂとの界面を欠陥等のない良好な接合にすると同時に、ゲート絶縁膜中のチャネル長方向の金属原子濃度分布の変化を滑らかなものとしている。

【００２３】この実施の形態の製造工程を、図９～図１３を参照して説明する。ｐ型シリコン基板１は、面方位（１００）、比抵抗４～６Ωｃｍのものを用いる。図９に示すように、シリコン基板１の素子分離領域に、ＲＩＥにより溝を形成し、この溝に素子分離絶縁膜２を埋め込む。素子分離絶縁膜２は、有機シラン（例えばＴＥＯＳ）を用いた減圧ＣＶＤによるシリコン酸化膜である。

【００２４】次いで、図１０に示すように、基板全面に、レーザアブレーション成膜法によって、金属酸化物膜からなる第１のゲート絶縁膜５ａを約１０ｎｍ堆積する。具体的に金属酸化物膜は、ＺｒＯｘ膜である。このとき成膜条件は、酸素分圧１～１００ｍＴｏｒｒの雰囲気中で、基板温度５００～８００℃とする。これにより、Ｚｒ濃度１～４０atm%のＺｒＯｘ膜が得られる。

6

【００２５】次に、図１１に示すように、ＣＶＤ法によりシリコン窒化膜１１を堆積して、シリコン窒化膜１１と第１のゲート絶縁膜５ａの積層膜をチャネル領域中央部に残るようにパターニングする。そして砒素のイオン注入を行って、n^+型のドレイン、ソース拡散層３を形成する。イオン注入条件は例えば、加速電圧１０ｋｅＶ、ドーズ量1×10^{15}／cm^2とする。ここまでは、先の実施の形態と同様である。

【００２６】この後、酸素ガスを含む雰囲気中で基板温度を５００～１０００℃にの設定して、シリコン基板１の表面を酸化することにより、図１２に示すように、第２のゲート絶縁膜５ｂとなるシリコン酸化膜を形成する。この熱酸化工程で同時に、形成されるシリコン酸化膜の第１のゲート絶縁膜５ａとの接合部には、第１のゲート絶縁膜５ａの金属原子が拡散する。これにより、第１のゲート絶縁膜５ａと第２のゲート絶縁膜５ｂとの界面は欠陥等のない良好な接合になる。

【００２７】なお図１２では、シリコン酸化膜の膜厚が第１のゲート絶縁膜５ａより厚く形成した場合を示しているが、５～５００ｎｍ程度の範囲で任意に選択することができる。例えば、先の実施の形態と同様に、第１のゲート絶縁膜５ａと第２のゲート絶縁膜５ｂを同程度の膜厚としてもよい。

【００２８】この後、図１３に示すように、多結晶シリコン膜を堆積し、パターニングしてゲート電極６を形成する。ゲート電極６は、第１のゲート絶縁膜５ａ上を覆い且つ両端部が第２のゲート絶縁膜５ｂを覆う状態にパターニングする。即ちゲート電極６は、そのチャネル長方向の両端部が第２のゲート絶縁膜５ｂを挟んでドレイン、ソース拡散層３とオーバーラップする状態にする。この後、図１に示すように、層間絶縁膜７を堆積し、これにコンタクト孔を形成して、電極配線８を形成する。

【００２９】この実施の形態の場合、チャネル領域直上のゲート絶縁膜５ａを金属酸化物膜とし、その両側のドレイン、ソース拡散層３とゲート電極６とがオーバーラップするゲート絶縁膜５ｂは金属原子を含まないシリコン酸化膜等により形成しており、ＭＩＳトランジスタの基本的な電気的特性は、第１のゲート絶縁膜５ａで決まる。そして、高電界がかかるゲート電極６とドレイン、ソース拡散層３とがオーバーラップする部分のゲート絶縁膜５ｂは、従来と同様にシリコン酸化膜を用いているため、絶縁破壊耐性が高いものとなる。

【００３０】上記各実施の形態において、ドレイン、ソース拡散層３は、一回のイオン注入により、第１のゲート絶縁膜５ａに自己整合された状態に形成している。これに対して、微細化したＭＩＳトランジスタでの短チャネル効果を抑制するためには、ドレイン、ソースをＬＤＤ構造とすることが好ましい。その様な実施の形態のＭＩＳトランジスタ構造を図１４に示す。

【００３１】図１４のトランジスタの基本的構造は、図

7

１と同様である。但し、ドレイン、ソース拡散層３は、第１のゲート絶縁膜５ａに自己整合されて形成される低濃度のｎ-型層３ａと、ゲート電極６の形成後にイオン注入により形成される高濃度のｎ+型層３ｂとから構成している。図８の実施の形態と同様に第２のゲート絶縁膜５ｂを金属原子が含まれないシリコン酸化膜等により形成する場合も、同様のＬＤＤ構造とすることが有効である。この様なＬＤＤ構造の採用により、短チャネル効果を抑制してＭＩＳトランジスタの微細化を図ることができる。

【００３２】実施の形態では、金属酸化物膜をレーザアブレーション成膜法により堆積したが、他の方法例えば、スパッタ法、ＣＶＤ法、単原子逐次堆積（ＡｔｏｍｉｃＬａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法等を用いることもできる。また、金属酸化物膜として、ＺｒＯｘの他、ＨｆＯｘ，ＴａＯｘ，ＬａＯｘ，ＣｅＯｘ，ＡｌＯｘ等を用いることができ、或いはこれらにシリコンを含んだシリケート膜を用いることができる。

【００３３】

【発明の効果】以上述べたようにこの発明によれば、ゲート絶縁膜の高誘電率が要求される部分のみに金属原子を必要な濃度に導入した金属酸化物膜を用いることにより、金属原子に起因する欠陥による絶縁破壊耐性の劣化を効果的に抑制して、ＭＩＳトランジスタの微細化と高集積化を図ることができる。

【図面の簡単な説明】

【図１】この発明の実施の形態によるＭＩＳトランジスタ構造を示す断面図である。

【図２】同実施の形態のＭＩＳトランジスタのゲート絶縁膜の金属原子濃度分布を示す図である。

【図３】同実施の形態の素子分離工程を湿す断面図である。

8

＊る。

【図４】同実施の形態の第１のゲート絶縁膜形成工程を示す断面図である。

【図５】同実施の形態の第１のゲート絶縁膜パターニングとドレイン、ソース拡散層形成工程を示す断面図である。

【図６】同実施の形態の第２のゲート絶縁膜形成工程を示す断面図である。

【図７】同実施の形態のゲート電極形成工程を示す断面図である。

【図８】この発明の他の実施の形態によるＭＩＳトランジスタ構造を示す断面図である。

【図９】同実施の形態の素子分離工程を湿す断面図である。

【図１０】同実施の形態の第１のゲート絶縁膜形成工程を示す断面図である。

【図１１】同実施の形態の第１のゲート絶縁膜パターニングとドレイン、ソース拡散層形成工程を示す断面図である。

【図１２】同実施の形態の第２のゲート絶縁膜形成工程を示す断面図である。

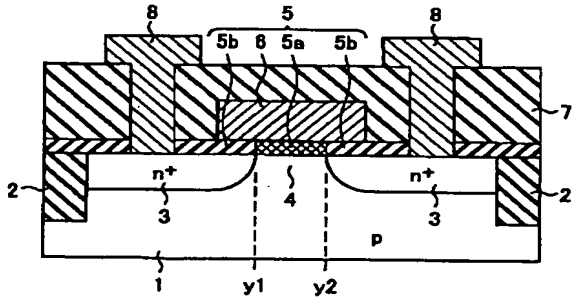
【図１３】同実施の形態のゲート電極形成工程を示す断面図である。

【図１４】この発明の他の実施の形態によるＭＩＳトランジスタ構造を示す断面図である。

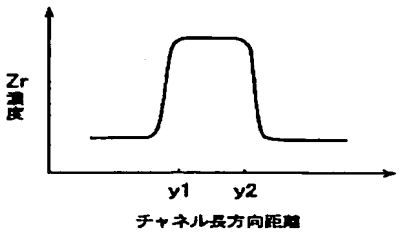
【符号の説明】

１…ｐ型シリコン基板、２…素子分離絶縁膜、３…ドレイン、ソース拡散層、４…チャネル領域、５ａ…第１のゲート絶縁膜、５ｂ…第２のゲート絶縁膜、６…ゲート電極、７…層間絶縁膜、８…電極配線。

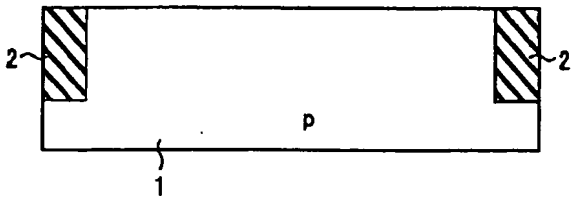
【図１】



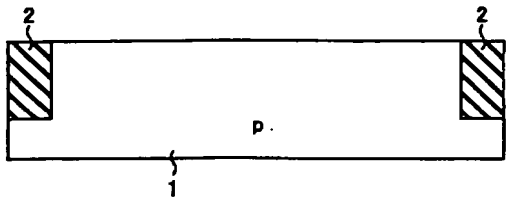
【図２】



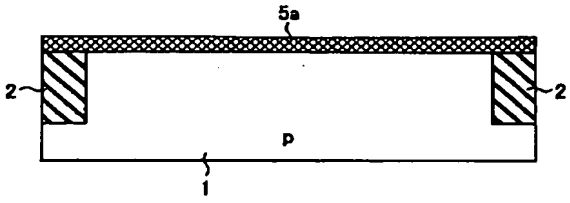
【図９】



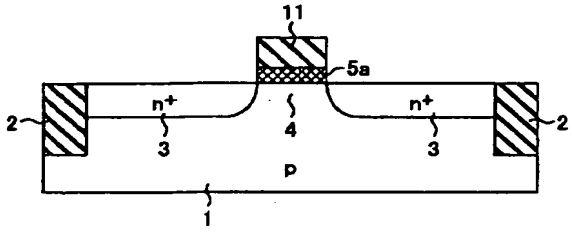
【図３】



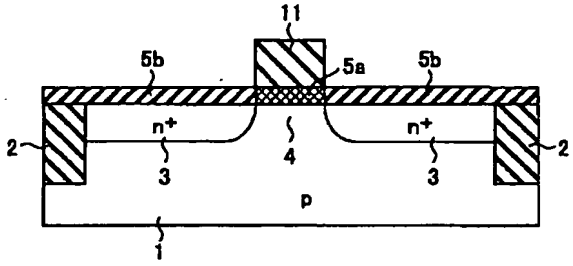
【図４】



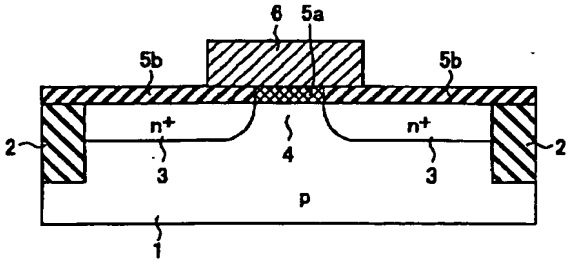
【図５】



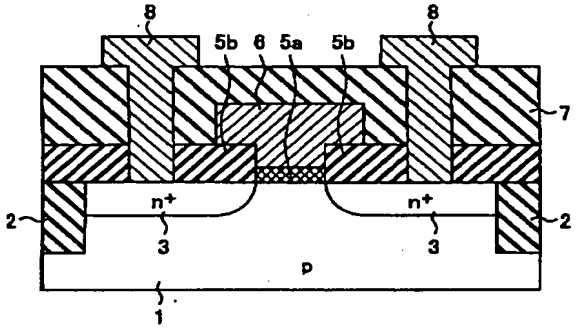
【図６】



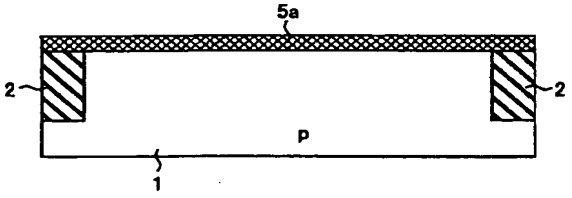
【図７】



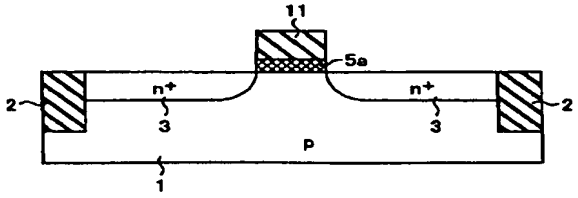
【図８】



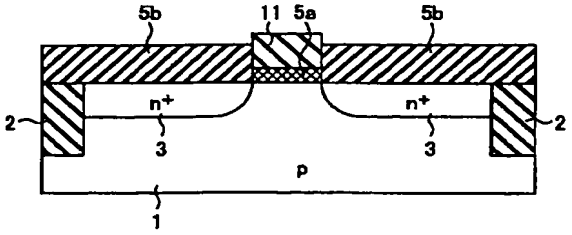
【図１０】



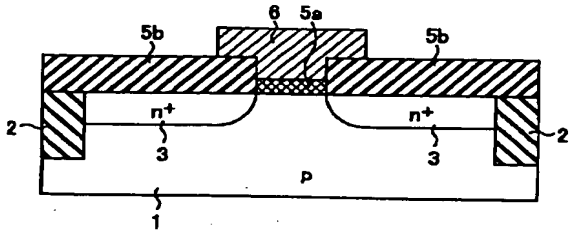
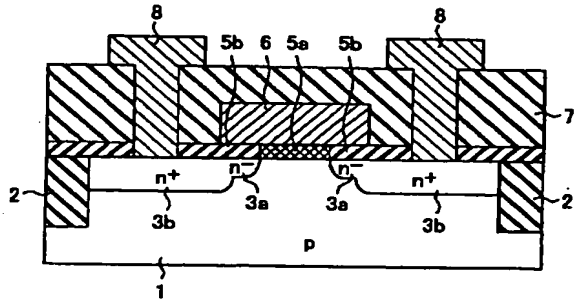
【図１１】



【図１２】



【図１３】



【図１４】